



Practitioner's Docket No. 1406/171

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Frank Pfirsch, Markus Zunder

Application No.: 10/681,437 Group No.: 2811

Filed: October 8, 2003 Examiner: Not Assigned

For: FIELD-EFFECT POWER TRANSISTOR

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

TRANSMITTAL OF CERTIFIED COPY

Attached please find the certified copy of the foreign application from which priority is claimed for this case:

Country: DE

Application Number: 10246960.1

Filing Date: 10/09/2002

Date: 1-21-04

1406/171 REJ/cht
Customer No.: 25297

Richard E. Jenkins
Signature of Practitioner

Richard E. Jenkins
Registration No. 28,428

CERTIFICATE OF MAILING (37 C.F.R. § 1.8(a))

I hereby certify that this paper (along with any paper referred to as being attached or enclosed) is being deposited with the United States Postal Service on the date shown below with sufficient postage as first class mail in an envelope addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

Date: 1/22/04

Cathi H. Turner
(type or print name of person mailing paper)

Cathi H. Turner
Signature of person mailing paper

WARNING: "Facsimile transmissions are not permitted and if submitted will not be accorded a date of receipt" for "(4) Drawings submitted under §§ 1.81, 1.83 through 1.85, 1.152, 1.165, 1.174, 1.437 . . ." 37 C.F.R. § 1.6(d)(4).

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 46 960.1

Anmeldetag: 09. Oktober 2002

Anmelder/Inhaber: Infineon Technologies AG,
München/DE

Bezeichnung: Feldeffektleistungstransistor

IPC: H 01 L 29/78

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 11. Dezember 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Ebert

28

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Beschreibung

Feldeffektleistungstransistor

- 5 Die vorliegende Erfindung betrifft einen Feldeffektleistungs-
transistor, und insbesondere einen Feldeffektleistungstransi-
stor für Automotive-Applikationen.

Obwohl die vorliegende Erfindung nachstehend in Bezug auf
10 eine Kraftfahrzeusanwendung beschrieben wird, ist sie grund-
sätzlich auf jegliches Leistungshalbleitereinsatzgebiet an-
wendbar. Bei der Entwicklung neuer Generationen von Leist-
ungstransistoren, beispielsweise in DMOS-Technologie, wird
großer Wert auf die Verringerung des spezifischen Einschalt-
15 widerstandes $R_{ON} \cdot A$ gelegt. Daraus resultiert, daß das Ver-
hältnis der Kanalweite w zur Fläche der DMOS-Struktur mit
Hilfe von Shrinks fortlaufend vergrößert wird. Daraus folgt,
daß bei überwiegend konstant gehaltener Kanallänge l auch das
Verhältnis aus der Kanalweite w zu der Kanallänge l pro Flä-
20 cheneinheit deutlich zunimmt.

Insbesondere bei Automotive-Anwendungen spielt der sogenannte
Load-Dump-Fall (Lastabwurf) eine wichtige Rolle bei der Spe-
zifikation der Bauelement-Anforderungen. Dieser Lastabwurf
25 tritt dann ein, wenn im Kraftfahrzeug die Verbindung zur
Autobatterie ausfällt. Der von der Lichtmaschine bereitge-
stellte Ladestrom fließt für eine gewisse Zeit weiter und muß
von der Automobilelektronik abgefangen bzw. aufgenommen wer-
den, bis eine Regelung anspricht und den Ladestrom von der
30 Lichtmaschine des Kraftfahrzeugs abschaltet. In dieser Zeit
fließt jedoch ein mittels Lastwiderständen auf eine typische
Stromdichte von beispielsweise 50 A/cm^2 stabilisierter Last-
strom über eine Schalteinrichtung bzw. einen Transistor,
dargestellt in Fig. 4, ab. Dazu ist der Transistor vorzugs-
35 weise mit einer Zenerdiode 13 zwischen dem Gateanschluß 16
und dem Drain-Anschluß 11 versehen. Gemäß Fig. 4 baut bei
einem Lastabwurf ein Generator (nicht dargestellt) zunächst

eine hohe Sperrspannung am Transistor auf, wobei bei Über-
schreiten der Zenerspannung der eingebauten Zenerdiode 13
diese elektrisch leitend wird, so daß eine weitere Erhöhung
der Sperrspannung das Gate 16 aufsteuert, d.h. Strom durch
den Transistor von der Source 17 zur Drain 11 oder umgekehrt,
abhängig vom Leitungstyp der Halbleiterschalteinrichtung,
fließen kann.

Dieser von der Lichtmaschine getriebene Strom muß einige Zeit
(z.B. etwa 100 ms) bei hoher Spannung U (z.B. 40 V) von dem
Transistor geführt werden und heizt ihn dabei stark auf. Eine
homogene Verteilung des Stromes in dem Halbleitermaterial des
Transistors gestaltet sich dabei vorteilhaft. Vor allem bei
MOS-Transistoren mit einem großen Verhältnis zwischen der
Kanalweite w zur Kanallänge l pro Flächeneinheit besteht
jedoch die Neigung zu einer Filamentierung, d.h. der Strom
wird lediglich in einzelnen wenigen Bereichen der vorhandenen
Kanalweite w übernommen, wobei die übrigen Bereiche des Halb-
leitermaterials den Strom abgeben, woraus eine lokale Selbst-
erwärmung resultiert. Ob eine Filamentierung des Stromes bzw.
das Ausbilden von sogenannten Hot Spots im Halbleitermaterial
auftritt oder nicht, hängt im wesentlichen vom thermischen
Widerstand, der angelegten Drain-Source-Spannung und der
Stromdichte am temperaturstabilen Punkt ab. Setzt man die
Bedingung für eine Filamentierung zu $R_{th} \cdot U \cdot j_0 > 3 \cdot T_0$,
wobei der flächenspezifische thermische Widerstand R_{th} und
die durch die Zenerspannung bestimmte Spannung U festgelegt
sind und die Stromdichte j_0 sich im wesentlichen aus dem
Verhältnis der Kanalweite w zur Kanallänge l ergibt und T_0
die Kühlkörpertemperatur (absolute Temperaturskala) angibt,
so folgt für ein großes Verhältnis der Kanalweite w zur Ka-
nallänge l ein großes j_0 und damit die Erfüllung der Bedin-
gung für eine Filamentierung.

Eine solche Filamentierung führt dann zu einer weiteren star-
ken lokalen Temperaturerhöhung in den einzelnen wenigen Halb-
leiterbereichen, gegebenenfalls bis zur Aufschmelzung und

damit zur Zerstörung des Transistors. Problematisch ist es folglich, ein großes Verhältnis der Kanalweite w zur Kanallänge l pro Flächeneinheit zur Realisierung eines niedrigen spezifischen Einschaltwiderstands $R_{ON} \cdot A$ in einem Transistor 5 bereitzustellen, welcher gleichzeitig eine gute Load-Dump-Festigkeit aufweisen soll. Insbesondere bei Trench-Transistoren bzw. Grabentransistoren können sehr hohe Kanalweiten- zu Kanallängen-Verhältnisse pro Flächeneinheit realisiert werden, so daß eine Stromfilamentierung in einem solchen Fall verstärkt auftreten kann.

Die U.S.-Patentschrift 5,095,343 beschreibt eine vertikal diffundierte Leistungs-MOSFET-Struktur mit einem verbesserten Safe Operating Area (SOA). Darin wird durch Aussparung der 15 Source-Gebiete in einem Teil des Body-Gebiets die Kanalweite verringert und damit die Robustheit der Bauelemente erhöht..

In der amerikanischen Offenlegungsschrift U.S. 2002/0020873 wird eine MOSFET-Einrichtung beschrieben, welche einen asymmetrischen MOS-Kanal zum Bereitstellen unterschiedlicher 20 Gate-Schwellenspannungs-Charakteristika in unterschiedlichen Abschnitten der Einrichtung aufweist. Dabei wurde zur Steigerung der Bauelementfestigkeit (elektrisch) auch bei Anwendung von Transistoren in Linearverstärkern eine Vorrichtung mit unterschiedlichen MOS-Kanal-Einsatzspannungen in verschiedenen Abschnitten des Transistors vorgesehen.

Beide Lösungen führen allerdings zu einem erhöhten Einschaltwiderstand des Transistors im Vergleich zu einem konventionellen Transistor mit gleicher Einsatzspannung.

Die deutsche Patentschrift DE 100 01 876 beschreibt einen Leistungstransistor mit Überspannungs-Schutzschaltung zur Vermeidung eines Strompfades von der aktiven Zenerung (Zenerdiode zwischen Drain und Gate eines Halbleiterabschnitts) zur 35 Gate-Ansteuerung, wobei die Einrichtung zwei Transistoren aufweist. Problematisch bei diesem Lösungsansatz ist, daß

lediglich einer der Transistoren im normalen Betrieb zum Stromfluß beiträgt und damit ein nicht minimaler Einschaltwiderstand gewährleistet ist. Darüber hinaus liegt das Gate, welches mit der aktiven Zenerung (Zenerdiode zwischen Gate- und Drain-Anschluß des Transistors) auf nicht definiertem Potential liegt, welches sich durch Sperrströme und kapazitive Kopplungen einstellt, woraus ein schwer zu kontrollierendes Verhalten beispielsweise aufgrund einer Temperaturerhöhung oder schnellen Drain-Source-Spannungsänderungen folgt.

10

Es ist Aufgabe der vorliegenden Erfindung, einen Feldeffektleistungstransistor bereitzustellen, welcher einen niedrigen spezifischen Einschaltwiderstand aufweist und gleichzeitig eine hohe elektrische Festigkeit insbesondere für den Fall eines Lastabwurfs bzw. Load-Dumps vorsieht.

15

Erfindungsgemäß wird diese Aufgabe durch den in Anspruch 1 angegebenen Feldeffektleistungstransistor gelöst.

20

Die der vorliegenden Erfindung zugrunde liegende Idee besteht im wesentlichen darin, zwei oder mehrere Bereiche auf einem Chip bzw. einer Halbleitereinrichtung vorzusehen, welche um Faktoren unterschiedliche Verhältnisse zwischen Kanalweite und Kanallänge aufweisen, wobei diese Bereiche über unterschiedliche vorbestimmte Widerstände R_i an einen Gate-Anschluß elektrisch angebunden sind.

25

Gemäß der vorliegenden Erfindung wird das im vorangehenden erwähnte Problem insbesondere dadurch gelöst, daß ein Feldeffektleistungstransistor einen ersten Halbleiterbereich mit ersten MOS-Kanalgebieten mit einem großen Verhältnis einer Kanalweite zu einer Kanallänge zum Durchleiten eines elektrischen Stromes von einem Source-Anschluß zu einem Drain-Anschluß in Abhängigkeit eines Ansteuersignals an einem Gate-Kontakt des ersten Halbleiterbereichs, mindestens einen zweiten Halbleiterbereich mit zweiten MOS-Kanalgebieten mit einem

kleinen Verhältnis der Kanalweite zu der Kanallänge zum Durchleiten eines elektrischen Stromes von dem Source-Anschluß zu dem Drain-Anschluß in Abhängigkeit eines Ansteuersignals an einem Gate-Kontakt des zweiten Halbleiterbereichs einen Ansteueranschluß zum Vorsehen eines Ansteuersignals an den Gate-Kontakten aufweist, wobei zwischen dem Gate-Kontakt des zumindest zweiten Halbleiterbereichs und dem Ansteueranschluß jeweils ein erster vorbestimmter Widerstand vorgesehen ist; und zumindest zwischen dem Gate-Kontakt des zweiten Halbleiterbereichs und dem Drain-Anschluß eine Überspannungsschutzeinrichtung vorgesehen ist, die den zweiten Halbleiterbereich einschaltet, wenn die zwischen dem Gate-Kontakt des zweiten Halbleiterbereichs und dem Drain-Anschluß liegende Spannung einen vorbestimmten Wert übersteigt.

15 In den Unteransprüchen finden sich vorteilhafte Weiterbildungen und Verbesserungen des Erfindungsgegenstandes.

20 Gemäß einer bevorzugten Weiterbildung greifen der erste Halbleiterbereich und der zweite Halbleiterbereich, vorzugsweise fingerartig, ineinander. Daraus resultiert ein vergrößerter Zwischenraum, beispielsweise ein Silizium-Zwischenraum, zwischen den einzelnen MOS-Kanalgebieten des zweiten Bereichs, wodurch eine bessere Wärmeverteilung bzw. Wärmeaufnahme speziell im Load-Dump-Fall auftritt.

25 Gemäß einer weiteren bevorzugten Weiterbildung wird der erste Halbleiterbereich durch die ersten MOS-Kanäle gebildet, welche mit dem Gate-Anschluß des Feldeffektleistungstransistors verbunden sind, und der zweite Halbleiterbereich durch die zweiten MOS-Kanäle, welche zwischen den ersten MOS-Kanälen liegen und mit der Überspannungsschutzeinrichtung verbunden sind.

Gemäß einer weiteren bevorzugten Weiterbildung wird die Überspannungsschutzeinrichtung durch eine Zenerdiode gebildet.

Gemäß einer weiteren bevorzugten Weiterbildung sind die zweiten Kanalgebiete streifenartig lateral nicht direkt benachbart, vorzugsweise äquidistant, vorgesehen. Diese Konfiguration dient ebenfalls einer verbesserten Wärmeverteilung bzw. Wärmeaufnahme und dadurch einer Verminderung der Strom-Filamentierungsgefahr in dem Transistor.

10

Gemäß einer weiteren bevorzugten Weiterbildung sind die ersten und zweiten Kanäle gleichartig strukturiert und/oder als Gräben bzw. Trenches ausgeführt. Von Vorteil dabei ist eine einfachere Herstellbarkeit bzw. die Möglichkeit einer hohen Integrationsdichte.

Gemäß einer weiteren bevorzugten Weiterbildung sind die Trenches bzw. Gräben mit einer gleichbleibenden Oxid-Dicke ausgeführt.

20

Gemäß einer weiteren bevorzugten Weiterbildung sind die Trenches bzw. Gräben als Feldplatten-Trenches ausgeführt.

Gemäß einer weiteren bevorzugten Weiterbildung ist der erste vorbestimmte Widerstand zwischen den zwei Gate-Kontakten als Trench-Poly-Widerstand, einstellbar über die Trench-Länge, Trench-Weite und Anzahl der Trenches, ausgeführt. Somit wird eine vorteilhafte Integration des ersten vorbestimmten Widerstandes in der Halbleiterstruktur unter Einsatz der Standard-Herstellungsverfahren ermöglicht.

30

Gemäß einer weiteren bevorzugten Weiterbildung ist der erste vorbestimmte Widerstand als Halbleitergebiet mit vorbestimmter Dotierstoff-Konzentration ausgeführt. Auf diese Weise kann der Widerstand ebenfalls im Halbleiter-Herstellungsprozeß auf der Halbleitereinrichtung integriert werden.

Gemäß einer weiteren bevorzugten Weiterbildung liegt der Wert des ersten vorbestimmten Widerstands im Bereich zwischen dem 0,2- und dem 2-fachen, vorzugsweise zwischen dem 0,5- und dem Einfachen des Gate-Widerstands.

5

Gemäß einer weiteren bevorzugten Weiterbildung wird zwischen dem Gateanschluß und dem Gate-Kontakt des ersten Halbleiterbereichs ein zweiter vorbestimmter Widerstand vorgesehen.

10 Dadurch wird auf vorteilhafte Weise der gleichzeitige Betrieb beider Bereiche in einem normalen Schaltbetrieb gewährleistet.

15 Gemäß einer weiteren bevorzugten Weiterbildung wird der zweite vorbestimmte Widerstand in Abhängigkeit des ersten vorbestimmten Widerstands und der Gate-Kapazitäten der jeweils daran angrenzenden Gate-Kontakte dimensioniert. Dies birgt den Vorteil, daß eine höhere Belastung eines Halbleiterbereichs insbesondere beim Abschalten vermieden wird.

20 Gemäß einer weiteren bevorzugten Weiterbildung ist der zweite vorbestimmte Widerstand derart dimensioniert, daß das Produkt aus dem ersten vorbestimmten Widerstand und der Gate-Kapazität des daran angrenzenden Gate-Kontakts gleich dem Produkt aus dem zweiten vorbestimmten Widerstand und der Gate-Kapazität des daran angrenzenden Gate-Kontakts ist. Daraus resultieren für beide Zweige gleiche Zeitkonstanten und damit ein gleichzeitiges Abschalten, so daß beide Transistorbereiche gleichzeitig angesteuert werden.

25 30 Ausführungsbeispiele der Erfindung sind in den Zeichnungen dargestellt und in der nachfolgenden Beschreibung näher erläutert.

35 Es zeigen:

Fig. 1 eine schematische Schaltung zur Erläuterung einer ersten Ausführungsform der vorliegenden Erfindung;

Fig. 2 eine schematische Schaltung zur Erläuterung einer zweiten Ausführungsform der vorliegenden Erfindung;

5 Fig. 3 eine schematische Darstellung eines Layouts in Draufsicht zur Erläuterung der ersten Ausführungsform der vorliegenden Erfindung; und

10 Fig. 4 eine schematische Schaltung einer bekannten Leistungshalbleitereinrichtung.

In den Figuren bezeichnen gleiche Bezugszeichen gleiche oder funktionsgleiche Bestandteile.

15 Fig. 1 zeigt eine schematische Schaltung zur Erläuterung einer ersten Ausführungsform der vorliegenden Erfindung.

In Fig. 1 ist eine Leistungshalbleitereinrichtung dargestellt, welche über einen ersten Bereich 10 einer Feldeffekttransistoreinrichtung mit einem großen Verhältnis aus einer Kanalweite w zu einer Kanallänge l pro Flächeneinheit der Feldeffekttransistoreinrichtung verfügt. Drain-seitig ist der erste Bereich 10 mit einem Drain-Anschluß 11 des Feldeffektleistungstransistors verbunden. Ebenfalls mit diesem Drain-Anschluß 11 drain-seitig verbunden ist ein zweiter Bereich 12 mit einem kleinen Verhältnis aus einer Kanalweite w zu einer Kanallänge l pro Flächeneinheit der Feldeffekttransistoreinrichtung (aber nicht notwendig auch pro Flächeneinheit des zweiten Bereichs 12). Der Gate-Kontakt 12' dieses zweiten Bereichs 12 ist mit einer Überspannungsschutzeinrichtung 13, vorzugsweise mit einer aktiven Zenerung 13 versehen, welche z.B. über eine Zenerdiode mit dem Drain-Anschluß 11 des Feldeffektleistungstransistors verbunden ist.

35 Zwischen dem Gate-Anschluss 16 des Feldeffekttransistors und dem Gate-Kontakt 12' des zweiten Bereichs 12 mit kleinem w/l liegt ein erster vorbestimmter Widerstand 14. Der Gate-

- Kontakt 10' des ersten Bereichs 10 ist direkt an den Gate-Anschluß 16 des Feldeffektleistungstransistors angeschlossen. Der zweite Halbleiterbereich 12 ist gate-seitig über den ersten vorbestimmten Widerstand 14 indirekt ebenfalls mit dem 5 Gate-Anschluß 16 des Feldeffektleistungstransistors verbunden. Source-seitig ist sowohl der erste Halbleiterbereich 10 mit großem w/l als auch der zweite Halbleiterbereich 12 mit kleinem w/l mit einem Source-Anschluß 17 des Feldeffektleistungstransistors verbunden. Zum Einsatz des Feldeffekttransistors wird der Gate-Anschluss 16 mit einer Gatespannungsversorgung 25 (nicht Teil der Erfindung) verbunden. Dies kann direkt oder mittels eines externen oder in den Feldeffekttransistor integrierten Gatewiderstandes 15 erfolgen.
- 15 Gemäß der vorliegenden Erfindung ist die Feldeffekthalbleitereinrichtung derart aufgebaut, daß sich der erste Halbleiterbereich 10 und der zweite Halbleiterbereich 12 überlagern und vorzugsweise innerhalb einer Halbleitereinrichtung zumindest zwei ineinander greifende Bereiche 10, 12 ausbilden, 20 wobei der erste Bereich 10 mit einem großen w/l-Verhältnis unter den im vorangehenden beschriebenen Lastabwurf- bzw. Load-Dump-Bedingungen nicht aktiv ist, und wobei der zweite Halbleiterbereich 12 ein um Faktoren kleineres w/l-Verhältnis aufweist und auch unter den Load-Dump-Bedingungen aktiv ist. 25 Aufgrund des ausreichend kleinen Verhältnisses w/l (pro Flächeneinheit des gesamten Halbleiterbauelements) erfolgt auch unter Lastabwurf-Bedingungen keine Strom-Filamentierung bzw. keine lokale Temperaturüberhöhung, welche zu einem Schmelzen des Halbleitermaterials führt. Die Halbleiterbereiche 10, 12 greifen dazu vorzugsweise derart ineinander, daß in den Fällen, 30 in denen die aktive Zenerung über die Zenerdiode 13 anspricht, eine nahezu homogene Erwärmung des Halbleiterbauelements auftritt.
- 35 Im Fall eines Lastabwurfs (Load-Dump-Fall) liefert bei zunächst ausgeschaltetem Transistor (der Ausgang der Gatespannungsversorgung 25 liegt auf 0 V) beispielsweise eine Licht-

maschine eine Spannung von z.B. 42 V an den Drain-Anschluß 11 des Feldeffektleistungstransistors. Die aktive Zenerung 13 nimmt davon ca. 40 V auf und schaltet dann durch. Die verbleibenden 2 V liegen dann zunächst am Gate-Kontakt 12'

5 des zweiten Halbleiterbereichs 12 an, wobei zum Gate-Kontakt 10' des ersten Halbleiterbereichs 10 der erste vorbestimmte Widerstand 14 liegt, welcher von diesen 2 V z.B. 0,8 V aufnimmt (die restlichen 1,2 V fallen dann am Gatewiderstand 15 ab). Somit liegen an den Gate-Elektroden 10' des ersten Halb-
10 leiterbereichs lediglich 1,2 V an, woraufhin die Kanäle in diesem Bereich nicht aktiviert werden, d.h. nicht aufgesteuert werden, weil die Gatespannung dort eine Einsatzspannung der dortigen MOS-Kanäle von beispielsweise 1,5 V nicht erreicht. Zum zweiten Halbleiterbereich 12 hin fallen die 2 V
15 praktisch vollständig an den Gate-Elektroden 12' an, woraufhin die entsprechenden Kanäle, die ebenfalls eine Einsatzspannung von 1,5 V aufweisen, leitfähig werden, d.h. aufgesteuert werden.

20 Der Betriebszustand der Halbleitereinrichtung beim Lastabwurf gestaltet sich in diesem Fall so, als ob der Chip ein um einen Faktor n verringertes Verhältnis zwischen der Kanalweite w zur Kanallänge l pro Flächeneinheit aufweist, wenn sich das w/l-Verhältnis des ersten Halbleiterbereichs 10 zum w/l-
25 Verhältnis des zweiten Halbleiterbereichs 12 wie n-1 zu 1 verhält. Im vorgenannten Beispiel würde der erste vorbestimmte Widerstand 14 vorzugsweise den Wert $2/3 \cdot$ des Wertes des Gate-Widerstands 15 aufweisen. Beim normalen Ein- und Ausschalten des Feldeffektleistungstransistors, d.h. kein Lastabwurf liegt vor, arbeiten beide Bereiche 10, 12 im wesentlichen kaum durch den vorbestimmten Widerstand 14 beeinträchtigt, sofern dieser ausreichend niedrig dimensioniert ist.
30

35 Fig. 2 zeigt eine schematische Schaltung zur Erläuterung einer zweiten Ausführungsform der vorliegenden Erfindest.

In Fig. 2 ist eine Struktur dargestellt, welche in großen Teilen mit der mit Bezug auf Fig. 1 erläuterten Anordnung übereinstimmt. Ein erster Halbleiterbereich 10 mit einem Gate-Kontakt 10' und einem großen Verhältnis w/l ist drainseitig mit einem Drain-Anschluß 11 des Feldeffektleistungstransistors verbunden ebenso wie ein zweiter Halbleiterbereich 12 mit einem Gate-Kontakt 12' und einem kleinen Verhältnis w/l . Zwischen dem Drain-Anschluß 11 und dem Gate-Kontakt 12' des zweiten Halbleiterbereichs 12 liegt eine Überspannungsschutzeinrichtung 13, vorzugsweise eine aktive Zenerung 13 z.B. mit einer Zenerdiode. Auch in dieser Ausführungsform liegt zwischen dem Gate-Kontakt 12' des zweiten Bereichs und dem Gate-Anschluss 16 des Feldeffektleistungstransistors ein erster vorbestimmter Widerstand 14. Darüber hinaus ist der Gate-Kontakt 10' des ersten Halbleiterbereichs 10 über einen zweiten vorbestimmten Widerstand 18 mit dem Gate-Anschluß 16 des Feldeffektleistungstransistors verbunden. Source-seitig sind beide Halbleiterbereiche 10, 12 mit einem Source-Anschluß 17 des Feldeffektleistungstransistors verbunden.

Bei geeigneter Dimensionierung des ersten und zweiten vorbestimmten Widerstandes 14, 18 läßt sich ein in der mit Bezug auf Fig. 1 erläuterten Anordnung auftretender Nachteil vermeiden, nämlich, daß bei normalen Schaltvorgängen der Teil des Transistors mit höherem Gate-Widerstand langsamer angesteuert wird und folglich insbesondere beim Abschalten eine höhere Belastung erfährt, da dort ein zeitlich langerer Stromfluß auftritt. Wählt man die beiden vorbestimmten Widerstände 14 und 18 derart, daß beide Halbleiterbereiche mit gleichen Zeitkonstanten über den Gate-Anschluß 16 angesteuert werden, so erfolgt im normalen Betrieb (kein Load-Dump-Fall) eine gleichmäßige Strombelastung beider Bereiche 10, 12. Damit sich gleiche Zeitkonstanten ergeben, muß das Produkt aus dem ersten vorbestimmten Widerstand 14 und der Gate-Kapazität am Gate-Anschluß 12' des zweiten Halbleiterbereichs 12 gleich dem Produkt aus dem zweiten vorbestimmten Wider-

stand 18 und der Gate-Kapazität am Gate-Anschluß 10' des ersten Halbleiterbereichs 10 sein.

Eine mögliche Dimensionierung des ersten vorbestimmten Widerstands 14 liegt im Bereich zwischen dem 0,2- und dem 2-fachen des Gate-Widerstandes 15, welcher beispielsweise bei einem 25 mm² Chip z.B. etwa 5 Ω bis 10 Ω beträgt. Besonders vorteilhaft ist ein Wert des ersten vorbestimmten Widerstands 14 im Bereich zwischen dem 0,5- und dem 1-fachen des Gate-Widerstandes 15. Die Dimensionierung für den ersten vorbestimmten Widerstand 14 im Verhältnis zum Gate-Widerstand 15 kann unabhängig von der bevorzugten Dimensionierungsregel für den zweiten vorbestimmten Widerstand 18 erfolgen.

Fig. 3 zeigt ein schematisches Layout in Draufsicht zur Erläuterung der ersten Ausführungsform der vorliegenden Erfindung.

In Fig. 3 ist das Layout eines Ausschnitts der mit Bezug auf Fig. 1 erläuterten Anordnung dargestellt. Der erste vorbestimmte Widerstand 14 ist hier als in einem Trench 21 angeordneter Polysilizium-Widerstand mit Durchkontaktierungen 23 auf das Gate bzw. Gate-Metallisierungen des Gate-Anschlusses 16 auf der einen Seite und des Gate-Kontakts 12' des zweiten Halbleiterbereichs 12 auf der anderen Seite vorgesehen. Erste Kanäle 20, welche eine Durchkontaktierung 23 auf die Gate-Metallisierung 10' des ersten Halbleiterbereichs 10 aufweisen, sind mit zweiten Kanälen 22, welche eine Durchkontaktierung 23 auf die Gate-Metallisierung 12' des zweiten Halbleiterbereichs 12 aufweisen, in einem Streifen-Layout mit ineinander verfingerten Kanälen 20, 22 dargestellt. Vorzugsweise sind die Kanäle 20 und 22 sowie der den Widerstand 14 aufnehmende Bereich 21 als Gräben bzw. Trenches der Halbleitereinrichtung, beispielsweise als Standard-Trench mit gleichbleibender Oxid-Dicke (Dicke des Gatedielektrikums zwischen der im Trench angeordneten Gateelektrode und dem Halbleiterkör-

per) oder als sogenannter Feldplatten-Trench, d.h. mit in die Tiefe zunehmender Oxid-Dicke, realisiert.

Bei einer Konfiguration im Streifen-Layout mit ineinander verfingerten Trenches (z.B. derart, dass jeweils zwei benachbarte Trenches 22 durch einen oder mehrere Trenches 20 separiert sind) folgt, daß der Abschnitt des Transistors mit kleinem w/l-Verhältnis pro Flächeneinheit des gesamten Halbleiterbauelements, d.h. der zweite Halbleiterbereich 12, einen deutlich größeren Silizium-Zwischenraum zwischen den im Load-Dump-Fall aktiven Trenches 22 aufweist als ein Transistor gemäß Fig. 4. Dies führt zu einer wesentlich verbesserten Wärmeverteilung bzw. Wärmeaufnahme durch die Silizium-Zwischenbereiche im Falle eines Lastabwurfs (Load-Dump). Dazu ist es vorteilhaft, wenn die Abstände der vorzugsweise äquidistant lateral nicht direkt benachbarten Kanalgebiete 22 des zweiten Halbleiterbereichs 12 insbesondere nicht mehr als 20 µm betragen, um eine homogene Erwärmung des Chips im Load-Dump-Fall, d.h. bei aktiver Zenerung, sicherzustellen. Gemäß Fig. 3 wird innerhalb des im Streifen-Design vorliegenden Trench-Transistors mit der Durchkontaktierung 23 nur jedes n-te Trench-Gate-Poly 22 den zweiten Halbleiterbereich 12 bildend angeschlossen, wohingegen alle übrigen Trench-Gate-Polys 20 über Durchkontaktierungen 23 auf der anderen Chip-Seite den ersten Bereich bildend angeschlossen werden.

Der Gateanschluß 16, der hier mit dem Gate-Kontakt 10' des ersten Bereichs 10 zusammenfällt, ist über einen geeignet dimensionierten Widerstand 14, 21 an den Gate-Kontakt 12' des zweiten Bereichs, welcher über die aktive Zenerung mit dem Drain-Anschluß 11 verbunden ist, angeschlossen. Der Widerstand 14 ist hier als Trench-Poly-Widerstand 21 ausgeführt, welcher über die Trench-Länge, Trench-Weite und Anzahl der parallelgeschalteten Trenches einstellbar ist. Alternativ kann er beispielsweise auch als Halbleitergebiet mit vorbestimmter Dotierstoff-Konzentration ausgeführt werden. Bei der erfindungsgemäßen Ausführungsform gemäß Fig. 3 ist ein

Trench-Transistor mit großer Kanalweite bei An- bzw. Aufsteuerung durch den "normalen" Gate-Anschluss 16 und kleiner Kanalweite bei An- bzw. Aufsteuerung des Gate-Kontakts 12' über die aktive Zenerung realisiert. Die Gate-Trenches 20 und 22 sowie der den Widerstand 14 enthaltende Trench 21 sind mit einem Gatedielektrikum, vorzugsweise einem Oxid ausgekleidet und mit Polysilizium gefüllt.

Obwohl die vorliegende Erfindung vorstehend anhand bevorzugter Ausführungsbeispiele beschrieben wurde, ist sie darauf nicht beschränkt, sondern auf vielfältige Weise modifizierbar.

Insbesondere ist eine andere layout-technische Realisation in einem Nicht-Streifen-Design und beispielsweise auch unter Einsatz einer planaren und nicht grabenorientierten Technologie vorstellbar. Darüber hinaus ist auch die beschriebene Realisation des ersten vorbestimmten Widerstands beispielhaft zu sehen.

Patentansprüche**1. Feldeffektleistungstransistor mit:**

5

einem ersten Halbleiterbereich (10) mit ersten MOS-Kanälen (20) mit einem ersten Verhältnis einer Kanalweite (w) zu einer Kanallänge (l) zum Durchleiten eines elektrischen Stromes von einem Source-Anschluß (17) zu einem Drain-Anschluß (11) in Abhängigkeit eines Signals an einem Gate-Kontakt (10') des ersten Halbleiterbereichs (10);

10

mindestens einem zweiten Halbleiterbereich (12) mit zweiten MOS-Kanälen (22) mit einem zweiten Verhältnis der Kanalweite (w) zu der Kanallänge (l) zum Durchleiten eines elektrischen Stromes von dem Source-Anschluß (17) zu dem Drain-Anschluß (11) in Abhängigkeit eines Signals an dem Gate-Kontakt (12') des zweiten Halbleiterbereichs (12); und

15

einem Ansteueranschluß (16) zum Vorsehen eines Ansteuersignals an den Gate-Kontakten (10'; 12'),

20

wobei zwischen dem Gate-Kontakt (12') des zumindest zweiten Halbleiterbereichs (12) und dem Ansteueranschluß (16) jeweils ein erster vorbestimmter Widerstand (14) vorgesehen ist; und

25

zumindest zwischen dem Gate-Kontakt (12') des zweiten Halbleiterbereichs (12) und dem Drain-Anschluß (11) eine Überspannungsschutzeinrichtung (13) vorgesehen ist, welche den zumindest zweiten Halbleiterbereich (12) ein-

schaltet, wenn die zwischen dem Gate-Kontakt (12') des zweiten Halbleiterbereichs (12) und dem Drain-Anschluß (11) liegende Spannung einen vorbestimmten Wert übersteigt.

5

2. Leistungshalbleiter nach Anspruch 1,
dadurch gekennzeichnet,
daß das zweite Verhältnis der Kanalweite (w) zu der Kanallänge (l) kleiner oder etwa gleich groß wie das erste
10 Verhältnis der Kanalweite (w) zu der Kanallänge (l) ist.

- 3. Leistungshalbleiter nach Anspruch 2,
dadurch gekennzeichnet,
daß das zweite Verhältnis der Kanalweite (w) zu der Kanallänge (l) mindestens um einen Faktor 2 kleiner als
15 das erste Verhältnis der Kanalweite (w) zu der Kanallänge (l) ist.

4. Leistungshalbleiter nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet,
daß der erste Halbleiterbereich (10) und der zweite
● Halbleiterbereich (12), vorzugsweise fingerartig, ineinander greifen.
25

5. Leistungshalbleiter nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet,
daß der erste Halbleiterbereich (10) durch die ersten
30 Kanäle (20) gebildet wird, welche mit dem Gate-Anschluß (16) des Feldeffektleistungstransistors verbunden sind,
und der zweite Halbleiterbereich (12) durch die zweiten Kanäle (22) gebildet wird, welche zwischen den ersten

11. Leistungshalbleiter nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet, daß der erste vorbestimmte Widerstand (14) zwischen den
zwei Gate-Kontakten (10'; 12') als Polysilizium-Widerstand ausgeführt ist.
12. Leistungshalbleiter nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet, daß der erste vorbestimmte Widerstand (14) zwischen den
zwei Gate-Kontakten (10'; 12') als Trench-Poly-Widerstand, einstellbar über die Trench-Länge, Trench-Weite
und Anzahl der Trenches, ausgeführt ist.
13. Leistungshalbleiter nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet, daß der erste vorbestimmte Widerstand (14) als Halbleitergebiet mit vorbestimmter Dotierstoff-Konzentration
ausgeführt ist.
14. Leistungshalbleiter nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet, daß der Wert des ersten vorbestimmten Widerstands (14)
in Abhängigkeit eines Gate-Widerstands (15) dimensioniert ist.
15. Leistungshalbleiter nach Anspruch 14,
dadurch gekennzeichnet, daß der Wert des ersten vorbestimmten Widerstands (14)
im Bereich zwischen dem 0,2- und dem 2-fachen, vorzugs-

weise zwischen dem 0,5- und dem 1-fachen, des Gate-Widerstands (15) liegt.

16. Leistungshalbleiter nach einem der vorangehenden Ansprüche,

dadurch gekennzeichnet,
daß zwischen dem Ansteueranschluß (16) und dem Gate-Kontakt (10') des ersten Halbleiterbereichs (10) ein zweiter vorbestimmter Widerstand (18) vorgesehen ist.

10

17. Leistungshalbleiter nach Anspruch 16,

dadurch gekennzeichnet,
daß der zweite vorbestimmte Widerstand (18) in Abhängigkeit des ersten vorbestimmten Widerstands (14) und der Gate-Kapazitäten der jeweils daran angrenzenden Gate-Kontakte (10'; 12') dimensioniert ist.

15

18. Leistungshalbleiter nach Anspruch 16,

dadurch gekennzeichnet,
daß der zweite vorbestimmte Widerstand (18) derart dimensioniert ist, daß das Produkt aus dem ersten vorbestimmten Widerstand (14) und der Gate-Kapazität des zweiten Halbleiterbereichs (12) etwa gleich dem Produkt aus dem zweiten vorbestimmten Widerstand (18) und der Gate-Kapazität des ersten Halbleiterbereichs (10) ist.

25

Zusammenfassung

Feldeffektleistungstransistor

5 Die vorliegende Erfindung stellt einen Feldeffektleistungs-
transistor bereit, mit: einem ersten Halbleiterbereich (10)
mit ersten Kanälen (20) mit einem großen Verhältnis einer
Kanalweite (w) zu einer Kanallänge (l) zum Durchleiten eines
elektrischen Stromes von einem Source-Anschluß (17) zu einem
10 Drain-Anschluß (11) in Abhängigkeit eines Signals an einem
Gate-Kontakt (10') des ersten Halbleiterbereichs (10); minde-
stens einem zweiten Halbleiterbereich (12) mit zweiten Kanä-
len (22) mit einem kleinen Verhältnis der Kanalweite (w) zu
der Kanallänge (l) zum Durchleiten eines elektrischen Stromes
15 von dem Source-Anschluß (17) zu dem Drain-Anschluß (11) in
Abhängigkeit eines Signals an dem Gate-Kontakt (12') des
zweiten Halbleiterbereichs (12); und einem Ansteueranschluß
(16) zum Vorsehen eines Ansteuersignals an den Gate-Kontakten
(10'; 12'), wobei zwischen dem Gate-Kontakt (12') des zumin-
dest zweiten Halbleiterbereichs (12) und dem Ansteueran-
schluss (16) jeweils ein erster vorbestimmter Widerstand (14)
vorgesehen ist; und zumindest zwischen dem Gate-Kontakt (12')
des zweiten Halbleiterbereichs (12) und dem Drain-Anschluß
(11) eine Überspannungsschutzeinrichtung (13) zum Einschalten
20 des zweiten Halbleiterbereichs (12) vorgesehen ist, wenn die
dazwischen liegende Spannung einen vorbestimmten Wert über-
steigt.

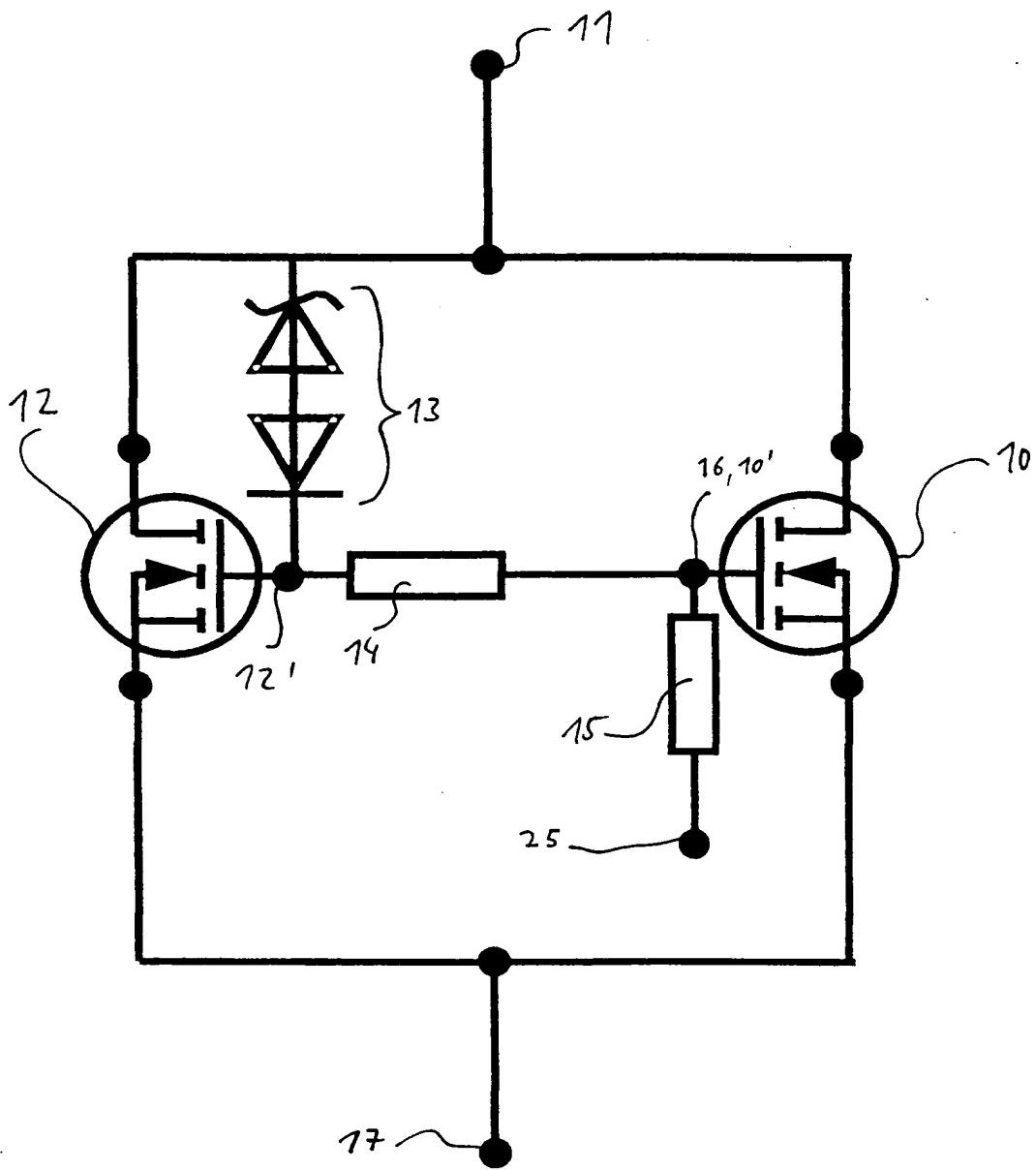


FIG. 1

Bezugszeichenliste

- 10 erster Halbleiterbereich mit großem w/l pro Flächeneinh.
- 10' Gate-Kontakt des ersten Halbleiterbereichs
- 5 11 Drain-Anschluß des Feldeffektleistungstransistors
- 12 zweiter Halbleiterbereich mit kleinem w/l
- 12' Gate-Kontakt des zweiten Halbleiterbereichs
- 13 aktive Zenerung (Zenerdiode)
- 14 erster vorbestimmter Widerstand
- 10 15 Gate-Widerstand
- 16 Gate-Anschluß des Feldeffektleistungstransistors
- 17 Source-Anschluß des Feldeffektleistungstransistors
- 18 zweiter vorbestimmter Widerstand

- 15 20 Kanal vom ersten Typ
- 21 Mit Polysilizium gefüllter Trench, der den ersten vorbestimmten Widerstand bildet
- 22 Kanal vom zweiten Typ
- 23 Durchkontaktierung auf Gate-Metallisierung 10', 12'
- 20 24 Oxidauskleidung der Trenches
- 25 Gatespannungsversorgung

- w Kanalweite eines steuerbar leitenden MOS-Kanals
- l Kanallänge eines steuerbar leitenden MOS-Kanals

7/4

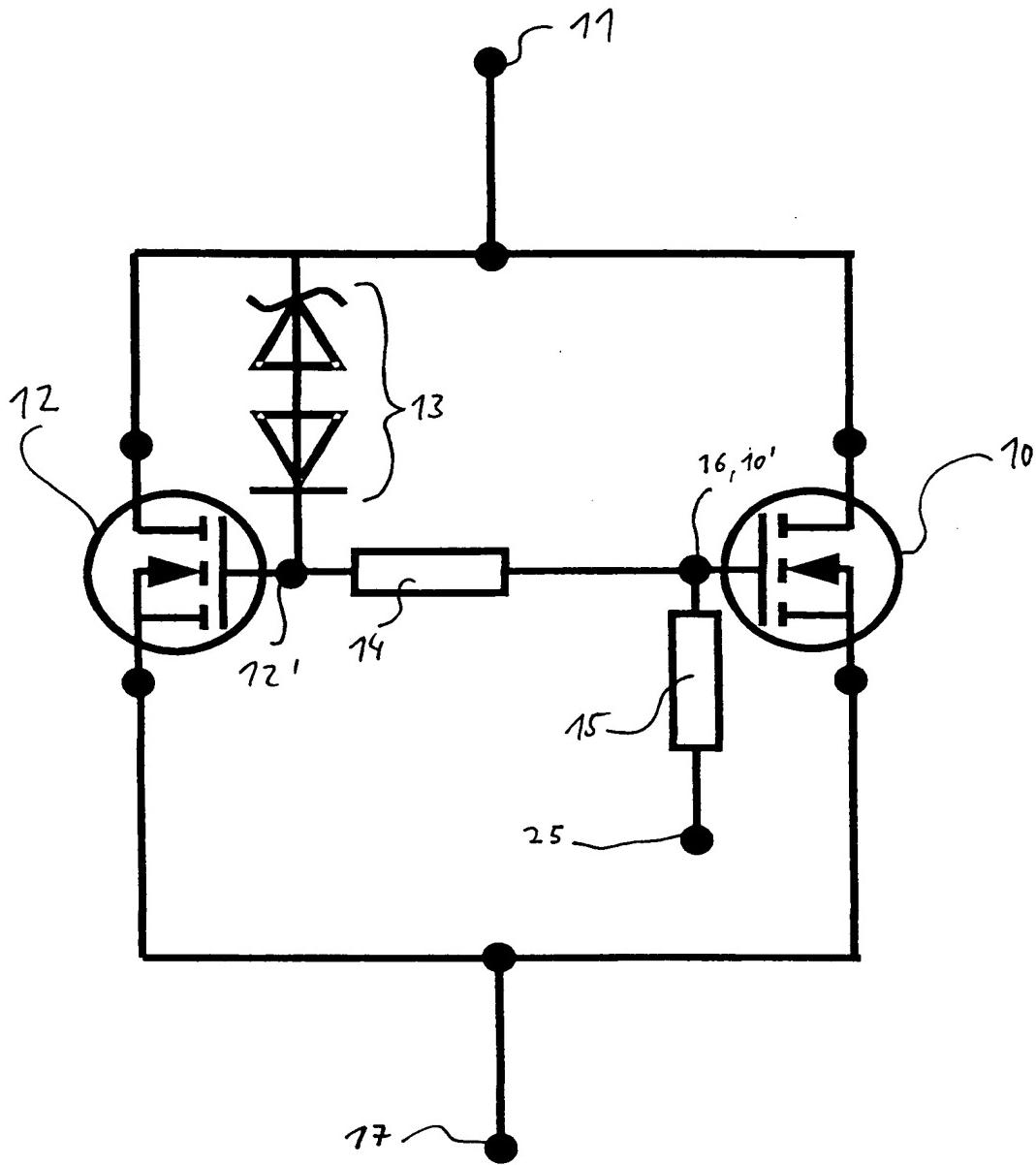


FIG. 1

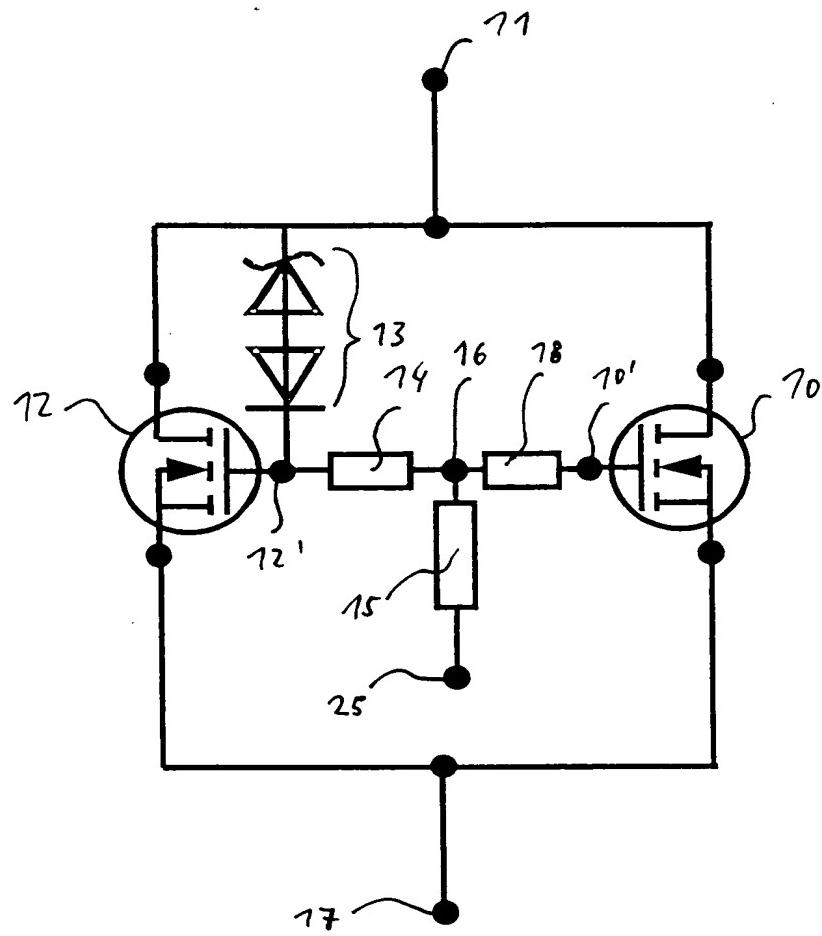


FIG. 2

3/4

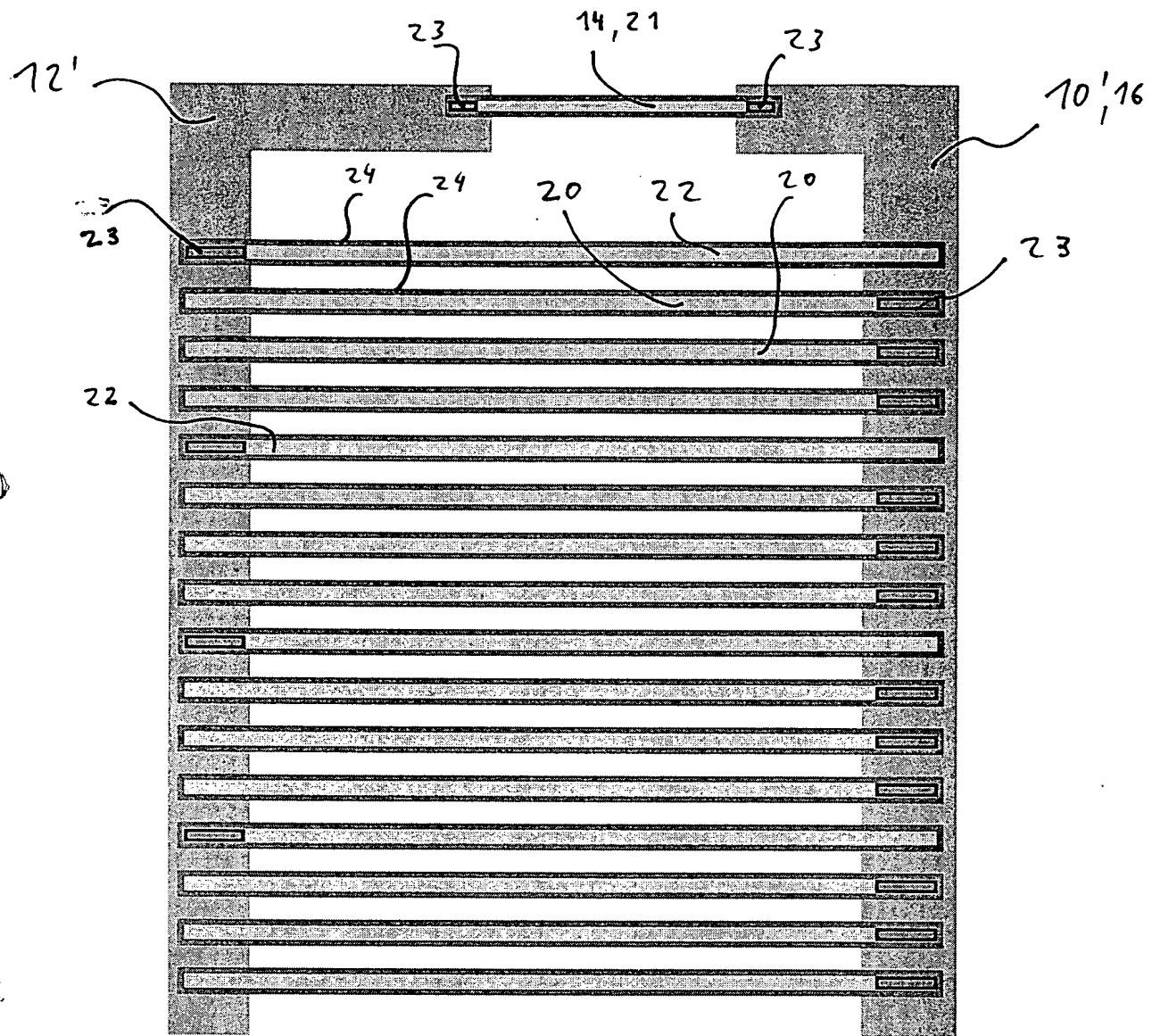


FIG. 3

4/4

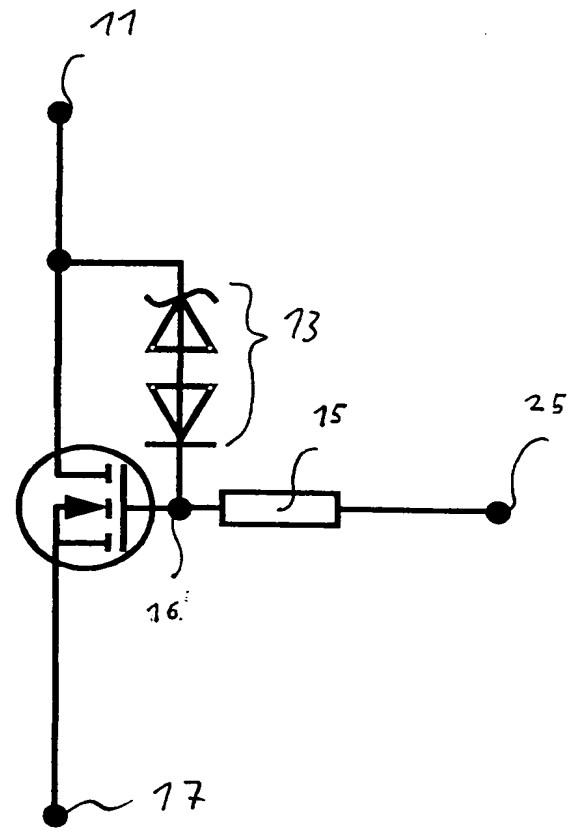


FIG. 4



Creation date: 02-13-2004

Indexing Officer: KSOUVANARATANA - KINTALA SOUVANARATANA

Team: OIPEBackFileIndexing

Dossier: 10658044

Legal Date: 01-26-2004

No.	Doccode	Number of pages
1	PEFR	5
2	OATH	2
3	REM	4
4	DRW	7

Total number of pages: 18

Remarks:

Order of re-scan issued on